

⑫ 公開特許公報(A)

昭64-54813

⑮ Int. Cl.

識別記号

庁内整理番号

⑯ 公開 昭和64年(1989)3月2日

H 03 K 17/687
H 03 F 1/02
H 03 K 17/693
19/00

A-7190-5J
7827-5J
E-7190-5J
A-8326-5J

審査請求 未請求 発明の数 1 (全6頁)

⑰ 発明の名称 制御回路

⑱ 特 願 昭62-210126

⑲ 出 願 昭62(1987)8月26日

⑳ 発 明 者 米 谷 浩 幸 東京都小平市上水本町1479番地 日立マイクロコンピュー
タエンジニアリング株式会社内

㉑ 発 明 者 渡 辺 一 雄 群馬県高崎市西横手町111番地 株式会社日立製作所高崎
工場内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社
東京都小平市上水本町1479番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

制御回路

2. 特許請求の範囲

1. 制御信号のレベル変化に対応して定電圧出力を得るCMOSインバータと、上記定電圧出力をバイアス電圧とし導通時において負荷回路の定電流経路を形成し、非導通時において定電流経路を遮断するMOSFETからなるスイッチング素子と、をそれぞれ具備したことを特徴とする制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子機器の低消費電力化を図る際に用いて好適な制御回路に関する。

〔従来の技術〕

現在のアナログ回路の多くは、バイポーラトランジスタによって構成されているのが実状である。しかしバイポーラトランジスタは、消費電力が大である、という問題点を有している。一方、CM

OS (Complementary Metal Oxide Semiconductor) については、「CMOSデバイス徹底入門」(1982年3月10日4版発行、発行所産報出版株式会社、P16)に示す如く、消費電力が小さいことが記載されている。その概要は、入力電圧が0V(0レベル)のときも、VDD(1レベル)のときも何れか一方のMOST(MOSトランジスタ)がオン、他方のMOSTがオフするので消費電力は理想的に零となる、というものである。

上記の如き利点が背景になって、アナログ・デジタル混合ICが開発されているが、更に低消費電力をすすめるにはアナログ回路をCMOSで構成する必要がある。

本発明者等は、上述の如き技術的動向にかんがみ、アナログ回路の低消費電力化について検討した。以下は公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

〔発明が解決しようとする問題点〕

73420030 引用例：公知例の機器では、非動作モードがある場合、

消費電流を遮断するのは信号処理系のみであることが多く、これでは抜本的な消費電力の低減を行うことができない。

回路不動作時における無駄な消費電力を低減するためには、定電流回路をCMOSにて構成するとともに、定電流回路自体を不動作にする制御回路が必要になる。

本発明者等は、上記制御回路をCMOSにて構成すれば、更に消費電力の低減化が図れるのではないかと考え検討をすすめ、本発明を提案するに至った。

本発明の目的は、定電流回路の消費電力を低減し得る制御回路を提供することにある。

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

なお、第1図は上記制御回路の回路図である。

制御回路1は、PチャネルのMOSFETM₁、NチャネルのMOSFETM₂によって構成されたCMOSインバータAと、スイッチング素子であるMOSFETM₃によって構成されている。端子T₁に供給される制御信号Iがローレベルのとき、PチャネルのMOSFETM₁がオンになり、出力負荷容量C_Lを充電する。またNチャネルのMOSFETM₂はオフになる。

端子T₂には、インバータ出力としてバイアス電圧V_Bが表われ、MOSFETM₃はそのV_{GS}-I_{DS}特性により、ドレイン・ソース間に定電流I₀を通過せしめる。この際、MOSFETM₃のゲートGには電流が流れず、消費電力の面でバイポーラトランジスタに比較し極めて有利である。

一方、制御信号Iがハイレベルに変化すると、MOSFETM₁がオフ、MOSFETM₂がオン状態に動作し、出力負荷容量C_Lを放電せしめる。この場合、端子T₂のインバータ出力はGN Dレベルになり、MOSFETM₃はオフになる。

る。

すなわち、制御信号に対応して定電圧出力を発生し、かつ遮断する低消費電力のCMOSインバータと、上記定電圧出力をバイアス電圧として動作し、定電流回路となる低消費電力の、即ち入力インピーダンスが高いMOSFETスイッチング素子とにより制御回路を構成したものである。

〔作用〕

上記した手段によれば、CMOSインバータ出力の論理"HIGH"時に出力負荷容量に充電電流が流れ、"LOW"時に放電電流が流れるものの、定常状態では消費電力が零とみなし得る程小であり、MOSFETスイッチング素子も電圧駆動されるので、消費電力は極めて小になる。

従って、低消費電力の定電流を得るとともに定電流回路の消費電力を低減する、という本発明の目的を達成することができる。

〔実施例-1〕

以下、第1図を参照して本発明を適用した制御回路の第1実施例を説明する。

従って、ドレイン・ソース間の電流経路が遮断され、定電流I₀も遮断される。

上記定電流I₀は、負荷回路の駆動電流として利用されるので、定電流の遮断は負荷回路の動作停止となり、消費電力の低減が促進される。

上記実施例に示した制御回路は、下記の効果を奏する。

- (1) CMOSインバータによりMOSFETで構成されたスイッチング素子を動作せしめ、負荷を駆動するための定電流経路を形成することにより、スイッチング素子が電圧駆動であるため低消費電力で定電流を得る、という効果が得られる。
- (2) CMOSインバータによりMOSFETで構成されたスイッチング素子をオフとなし、負荷を駆動するための定電流経路を遮断せしめるので、負荷回路を動作不能となすとともに負荷回路、スイッチング素子の消費電力を零にすることができる。
- (3) CMOSインバータは出力負荷容量C_Lの充電完了後、又は放電完了後においても電流が流れ

(4) 回路構成が簡単であるため、IC化が容易になる。(従来のインバータセルの電源ラインを変更するだけでよい。)

〔実施例-2〕

次に、第2図を参照して本発明の第2実施例を説明する。

なお、本実施例は第1実施例で示した制御回路を増幅回路に適用したものであり、制御回路1については共通の符号を付すものとする。

2は差動増幅器であり、NチャネルのMOSFET M_{11} 、 M_{12} によって入力信号 V_{in} の差動増幅を行うものである。また、PチャネルのMOSFET M_{13} 、 M_{14} はカレントミラー回路を構成し、差動増幅器の能動負荷として設けられている。なお、NチャネルのMOSFET M_{15} については回路動作とともに説明する。

3はレベルシフタであり、NチャネルのMOSFET M_{16} 、 M_{17} はソースフォロワに構成され、レベルシフト動作を行うものである。

出力回路4におけるMOSFET M_{18} がオン状態に動作すると、出力負荷容量 C_L から電流吸い込みを行う。そして、出力負荷容量 C_L の放電を完了した時点でオフ状態になる。

この時点で、上記増幅回路の消費電力はまったく零になり、増幅動作も行われない。

制御電流 I がローレベルに変化した場合は、制御回路1が上記のように動作してMOSFET M_1 、 M_{17} がオン状態に動作する。従って、定電流 I の電流経路が形成され、差動増幅器2が動作可能になる。また、MOSFET M_{15} もオフになり、MOSFET M_{13} 、 M_{14} が負荷として動作可能になり、入力信号 V_{in} の増幅動作が行われる。

出力電圧 V_o がMOSFET M_{18} のゲートに供給され、更にシフトダウンされてMOSFET M_{16} のゲートに供給される。従って、出力電圧 V_o のレベル変化に対応して、出力負荷容量 C_L の充電及び放電が行われるようになり、通常の増幅動作が行われる。

本実施例に示した増幅回路は、下記の効果を奏

4は出力回路であり、PチャネルのMOSFET M_{18} 、NチャネルのMOSFET M_{19} とともにブッシュアップ出力回路を構成する。

上記増幅回路において、制御信号 I がハイレベルのとき、MOSFET M_1 がオフになって定電流 I の電流経路が形成されない。従って差動増幅器2は非動作になり、仮りに入力信号 V_{in} が供給されつつけていても増幅動作は行われない。制御回路1のインバータ出力も得られず、レベルシフタ3におけるMOSFET M_{17} がオフになり、出力回路4におけるMOSFET M_{18} がオンになる。

一方、NチャネルのMOSFET M_{19} は、制御信号 I によってオン状態に動作するので、レベルシフタ3におけるMOSFET M_{16} がオン状態に動作しようとするが、MOSFET M_{17} がオフのためオン状態に動作できない。更に、上記MOSFET M_{18} がオン状態に動作することによって、出力回路4におけるMOSFET M_{19} がオフになる。

する。

(5) 上記制御回路により差動増幅器を駆動する定電流の供給と還断を制御し、かつMOSFETで構成された出力回路をも非動作になすように構成したので、差動増幅器、出力回路を含む増幅回路の全体の通電が阻止され、消費電力の大幅な低減が可能になる。

〔実施例-3〕

次に、第3図を参照して本発明の第3実施例を説明する。

なお、本実施例は上記制御回路を応用した増幅回路の他の形態を示すものであり、上記同様の回路動作をなす部分には同一の符号を付すものとする。

本実施例において、カレントミラー回路5は新たに付加された差動増幅器6の駆動を制御するものであり、制御回路には差動増幅器2の駆動を制御するMOSFET M_{21} が付加されている。

制御信号 I がハイレベルのとき、MOSFET M_1 、 M_{21} がともにオフになり、定電流 I の電

73420030 引用例・公知例

遮断される。故に、差動増幅器2が非動作になるとともに、 $MOSFET M_{11}$ 、 M_{12} で構成されたカレントミラー回路5も非動作になる。この結果、 $MOSFET M_{12}$ から差動増幅器6に供給されていた定電流 I_o' も遮断され、差動増幅器6も非動作になる。

しかし、制御信号 I によって $MOSFET M_{11}$ はオン状態になり、 $MOSFET M_{12}$ のゲートをハイレベルにする。 $MOSFET M_{11}$ はPチャネルになるからオフになり、出力負荷容量 C_L の充電を停止する。

一方、差動増幅器6におけるNチャネルの $MOSFET M_{21}$ もオンになり、 $MOSFET M_{12}$ のゲートをローレベルにす。この結果、第3図に示す増幅回路はまったく非動作になり、何れの回路ブロックにも通電されないで、消費電力は零になる。

制御信号 I がローレベルのとき、制御回路1における $MOSFET M_3$ 、 M_{12} が何れもオン状態になる。従ってカレントミラー回路5については

定電流 I_o の電流経路が形成され、差動増幅器6に定電流 I_o' を供給する。

また、 $MOSFET M_{12}$ がオン状態になることによって、差動増幅器2の定電流経路が形成され、動作可能になる。更に、 $MOSFET M_{11}$ 、 M_{12} は何れもオフになる。

入力信号 V_{in} は、上記差動増幅器2、6に共通に供給されているので、交互にレベル変化する出力電圧 V_o 、 V_o' が得られ、出力回路4を駆動する。この結果、 $MOSFET M_{11}$ 、 M_{12} によって出力負荷容量 C_L の充電及び放電が行われ、通常の増幅動作が行われる。

本実施例に示した増幅回路は、上記各実施例に示した効果を奏するうえに、下記の効果をも奏する。

(6) 制御回路を構成するCMOSインバータの出力端子に複数のスイッチング素子を設けることにより、複数の負荷回路に対し定電流の駆動、遮断を制御することができ、制御回路の利用範囲が拡大される。

以上に、本発明者等によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、CMOSインバータによって駆動されるスイッチング素子は、上記各実施例に示す如く1個あるいは2個に限定されず、更に多数にしてもよい。

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である増幅回路に適用した場合について説明したが、それに限定されるものではなく、演算増幅器、電圧増幅器に利用することができる。本発明は電源にバッテリーを使用する電子機器の省エネルギー対策として広く利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、制御信号により駆動され定電圧出力及び、GNDレベルの発生を行う低消費電力のCMOSインバータと、上記定電圧出力をバイアス電圧として定電流を得るとともに、GND出力に対応して定電流を遮断する低消費電力のMOSFETからなるスイッチング素子とにより制御回路を構成し、負荷回路を動作せしめる定電流の供給及び遮断を制御するものである。従って、負荷回路動作時には低消費電力で定電流を得ることができるうえに、負荷回路非動作時には負荷回路はもとより定電流回路自体の消費電力を削減することができる。

4. 図面の簡単な説明

第1図は本発明を適用した制御回路の第1実施例を示す回路図、

第2図は本発明の第2実施例を示す増幅回路の回路図、

第3図は本発明の第3実施例を示す増幅回路の回路図をそれぞれ示すものである。

1…制御回路、2、6…差動増幅器、3…レベ

73420030 引用例・公知例

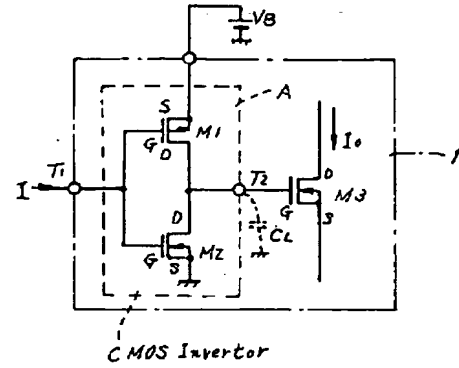
ルシダ、4…出力回路、5…カレントミラー回

路、A…CMOSインバータ、 $M_1 \sim M_3$ …MO

SFET、 C_L …出力負荷容量、 V_B …バイアス

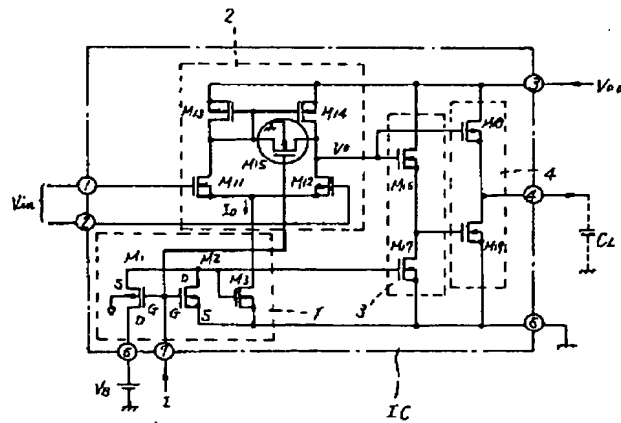
電圧、 I_0 、 I_0' …定電流、 V_{in} …入力信号。

第 1 図



I — 制御回路
A — CMOSインバータ
 $M_1 \sim M_3$ — MOSFET
 C_L — 出力負荷容量
I — 制御信号
 V_B — バイアス電圧

第 2 図



BEST AVAILABLE COPY

第 3 図

